



CURSO: ELECTRÓNICA DIGITAL

UNIDAD 3: SISTEMAS SECUENCIALES - TEORÍA

PROFESOR: JORGE ANTONIO POLANÍA

Como vimos en la unidad anterior, un sistema combinatorio se identifica porque la salida del sistema depende estrictamente de las entradas. Un sistema secuencial es un sistema que además de depender de las entradas depende de sus salidas pasadas, esto es, hay un lazo de realimentación. En sistemas secuenciales, el sistema debe tener algún elemento de memoria, debe haber al menos una realimentación del elemento de memoria al sistema de entrada y es de naturaleza cíclica.

En esta unidad se estudiarán los elementos básicos de un circuito secuencial como los flip-flop que son los elementos de memoria, los contadores y los registros digitales. El aprendizaje como en todas las unidades de los cursos se realiza mediante la metodología de estudiar su teoría, simulaciones en laboratorio virtual, prácticas en laboratorio y la correspondiente evaluación.

Un sistema secuencial es un sistema que además de depender de las entradas depende de sus salidas pasadas, esto es, hay un lazo de realimentación. En sistemas secuenciales, el sistema debe tener algún elemento de memoria, debe haber al menos una realimentación del elemento de memoria al sistema de entrada y es de naturaleza cíclica.

En esta unidad se estudiarán los elementos básicos de un circuito secuencial como los flip-flop que son los elementos de memoria, los contadores y los registros digitales.

1. INTRODUCCIÓN

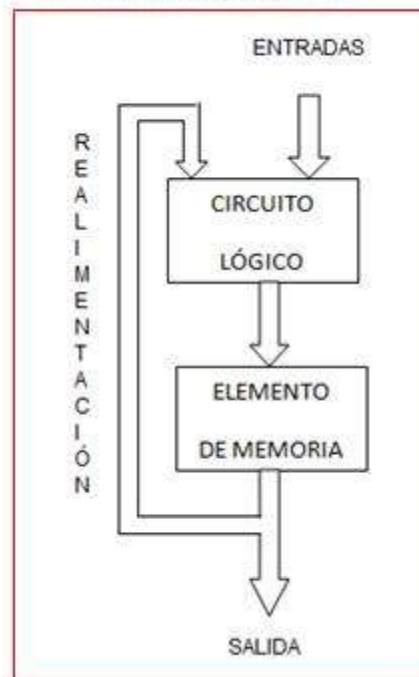
Un sistema combinatorio se identifica por:

1. La salida del sistema debe ser estrictamente una función de las entradas.
2. No puede existir lazo de realimentación de la salida a la entrada.

Un sistema secuencial se identifica por:

1. El sistema debe tener algún elemento de memoria
2. El sistema debe tener al menos una realimentación del elemento de memoria al sistema de entrada
3. Tiene una naturaleza cíclica

SISTEMA SECUENCIAL



CELDA DE MEMORIA BINARIA

El elemento básico de una memoria es la celda que almacena un bit. La tabla funcional describe el circuito lógico de la celda, mediante la cual se plantea su ecuación lógica que es igual a $Q = S + R'Q$. La nueva salida (estado posterior) depende de las entradas y de la salida pasada (estado anterior).

La celda binaria es el circuito lógico que almacena un bit.

ECUACIÓN LÓGICA
 $Q = S + R'Q$, $Q' = R'Q$

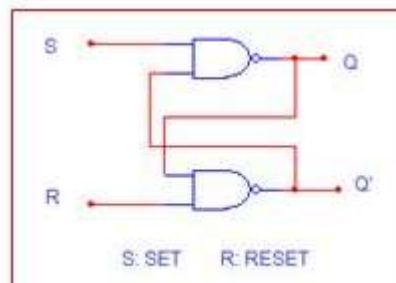


TABLA FUNCIONAL

S	R	Q	Q'	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	0	1

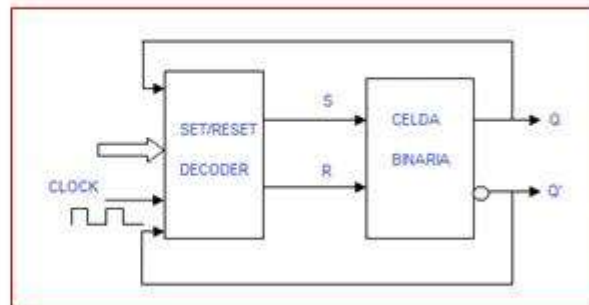
ESTADO ANTERIOR ESTADO POSTERIOR

2. EL FLIP FLOP O BÁSCULA

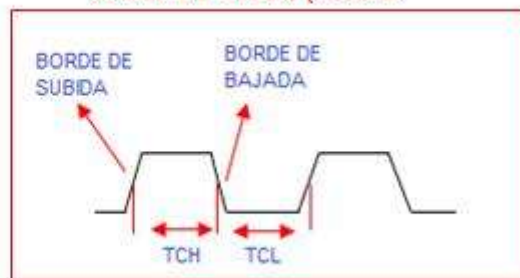
Está compuesto por una celda binaria de almacenamiento de un bit que tiene dos entradas S (set) y R (reset), el decodificador y la señal de reloj (clock).

Un Flip Flop es un circuito lógico que tiene dos estados estables que se utiliza para almacenar información, es un multivibrador biestable. Se requiere de un reloj de sincronización (CK), en el cual es importante el tiempo de subida y el tiempo de bajada. Hay flip flop que almacenan la entrada con el borde o flanco de subida y otros que la almacenan con el flanco de bajada.

BLOQUE FUNCIONAL



SEÑAL DE RELOJ (CLOCK)



FLIP FLOP: SET- RESET

Tiene dos entradas S y R, la señal de reloj para sincronizar el almacenamiento y dos salidas Q y Q'. La tabla funcional nos presenta el estado posterior Q_{n+1} de la salida en función de las entradas S, R y del estado anterior de esta salida Q_n . Lo importante en este flip flop es que $Q_{n+1}=1$ si $S=1$ y $R=0$, $Q_{n+1}=0$ si $S=0$ y $R=1$.

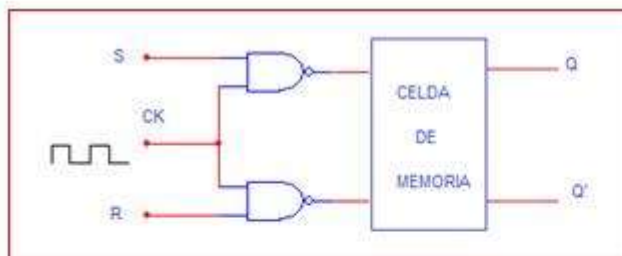


TABLA DE EXCITACIÓN

Q_n	$\rightarrow Q_{n+1}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

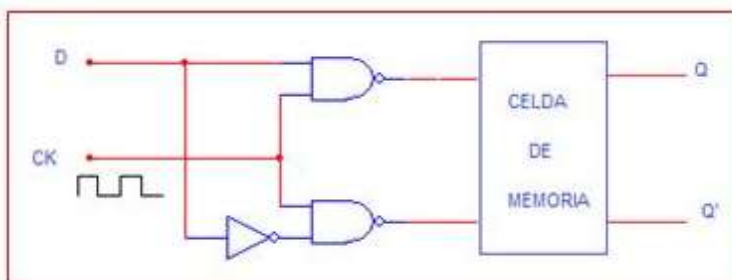
TABLA FUNCIONAL

S	R	Q_n	Q_{n+1}	
0	0	0	0	NO OPERA
0	0	1	1	
0	1	0	0	OPERA
0	1	1	0	RESET
1	0	0	1	OPERA
1	0	1	1	SET
1	1	0	X	DON'T
1	1	1	X	CARE

Q_n : Antes del borde de subida
 Q_{n+1} : Después del borde de subida

FLIP FLOP: TIPO D (LATCH)

Es un flip flop que almacena el bit de entrada con el flanco de subida del reloj. Lo que hay en D aparece en Q.



Generalmente se pasa la información de la entrada D a Q con el borde de subida del reloj.

TABLA FUNCIONAL

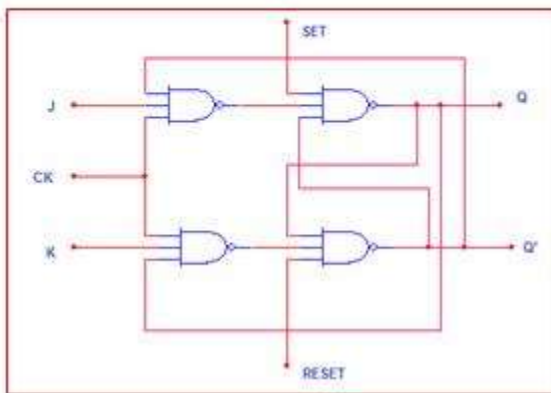
D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

TABLA DE EXCITACIÓN

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

FLIP FLOP JK

Es un mejoramiento al flip flop SR. Cuando $J=1, K=0, Q_{n+1}=1$, $J=0, K=1, Q_{n+1}=0$, $J=0, K=0, Q_{n+1}=Q_n$, $J=1, K=1, Q_{n+1}=Q_n'$



En el flip flop RS cuando las entradas estaban ambas en nivel alto, su salida era indeterminada (don't care), el JK evita esta indeterminación.

TABLA DE EXCITACIÓN

Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

TABLA FUNCIONAL

J	K	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FLIP FLOP JK MAESTRO- ESCLAVO

En la figura tenemos su diagrama lógico y su tabla de excitación. Con el flanco positivo del reloj se almacena el bit en el maestro y con el flanco de bajada se almacena en el esclavo.

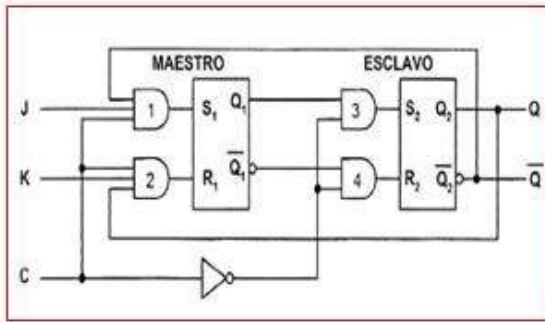


TABLA DE EXCITACIÓN

Q_n	$\rightarrow Q_{n+1}$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Un flip-flop maestro-esclavo se realiza a partir de dos biestables SR en cascada, de forma que la señal de reloj entra al biestable maestro y la señal de reloj negada entra al esclavo. Sólo el biestable maestro está habilitado cuando el reloj es 1. Durante todo ese intervalo de tiempo, sus salidas irán acorde con sus entradas. Cuando llega el flanco negativo de reloj, se habilita el biestable esclavo (y se deshabilita el maestro), que toma la salida del maestro. Por tanto, justamente después del flanco negativo de reloj, la salida del biestable esclavo será la equivalente a la salida almacenada en el biestable maestro..

CIRCUITO INTEGRADO 7476

Este circuito tiene en su interior dos flip flop JK maestro esclavo, tal como se presenta en el diagrama de conexión. El pin PRE colocado en nivel bajo pone la salida en nivel alto y el pin CLR en nivel bajo pone la salida en nivel bajo.

DIAGRAMA DE CONEXIÓN

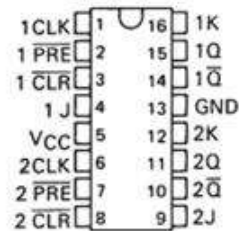
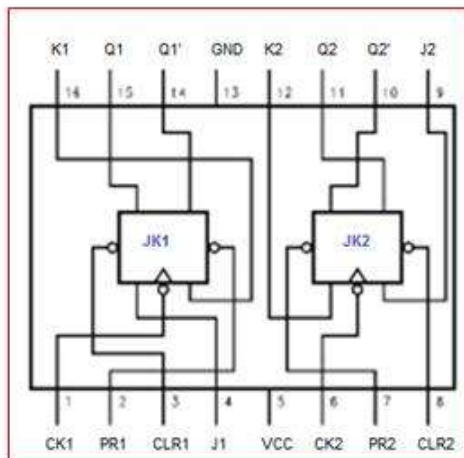


TABLA FUNCIONAL

INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H [†]	H [†]
H	H	\square	L	L	Q ₀	\bar{Q}_0
H	H	\square	H	L	H	L
H	H	\square	L	H	L	H
H	H	\square	H	H	TOGGLE	

3. CONTADORES

Son de los circuitos secuenciales más importantes en la electrónica digital. Su función es contar un número de pulsos que le llegan por el reloj y también son usados como temporizadores. Pueden ser síncronos o asíncronos, ascendentes o descendentes y binarios o decimales. Están compuestos por flip flops y un decodificador a la entrada. Cada vez que llega un pulso de reloj el contador cambia su estado tal como se aprecia en el diagrama de estados de la figura.

Son usados ampliamente para realizar una de las siguientes funciones:

1. Convertir un número de pulsos de entrada en un determinado código y almacenarlo.
2. Como elementos temporizadores

Los contadores pueden ser síncronos o asíncronos, ascendentes o descendentes, binarios o decimales.

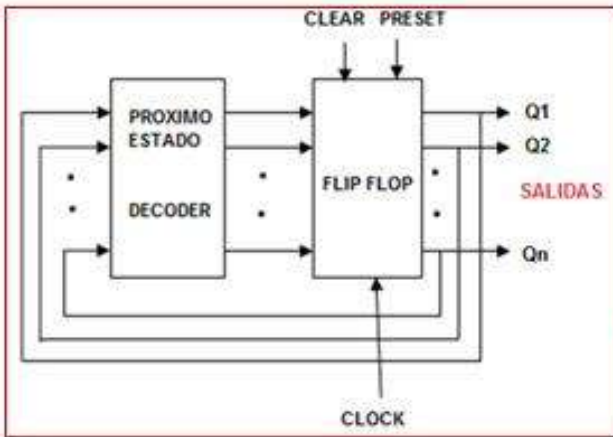
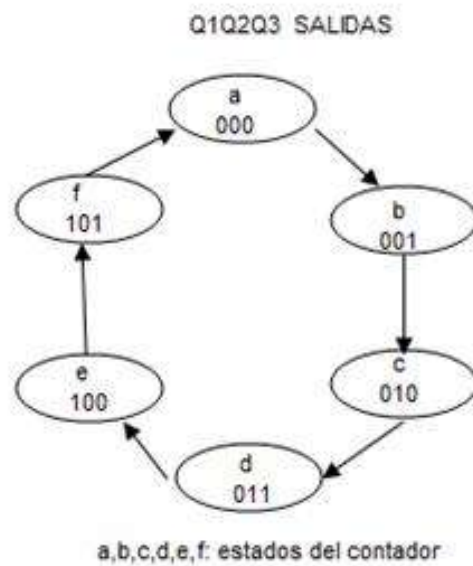


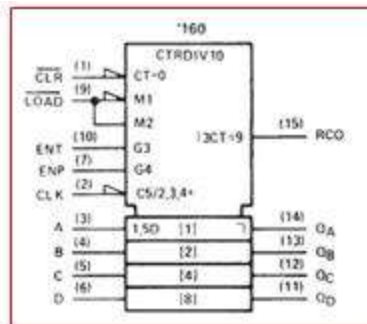
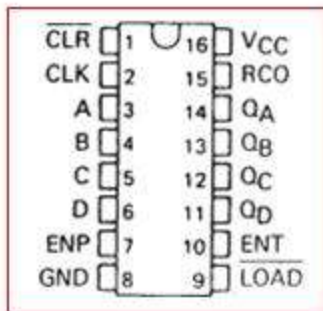
DIAGRAMA DE ESTADOS



BLOQUES FUNCIONALES

74160/162: CONTADOR DECIMAL SÍNCRONO

74161/163: CONTADOR BINARIO SÍNCRONO

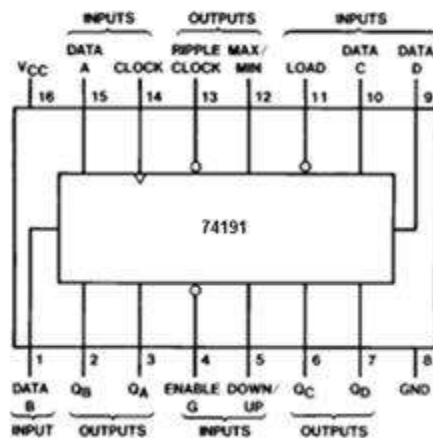


El contador 74160/162 son contadores decimales, cuentan de 000 a 1001 y vuelve a 0. El 74161/163 son contadores binarios, o sea, cuentan de 0000 a 1111 y vuelve a 0000.

Las entradas A,B,C,D se utilizan para cargar un dato desde donde debe comenzar la cuenta al habilitar la línea LOAD=0. Con CLEAR se borra la salida del contador. Para que funcione el contador ENT y ENP deben estar en nivel H. CLK es el reloj mediante el cual a su velocidad funciona el contador. RCO es una línea de salida que indica salida de carry.

74191: CONTADOR BINARIO DE 4 BITS UP/DOWN

Es un contador binario de 4 bits ascendente/descendente, que se puede programar en las entradas A, B, C, D. La línea DOWN/UP permite la programación ascendente o descendente.



4. REGISTROS DE CORRIMIENTO

Son circuitos síncronos que se utilizan para almacenamiento temporal de datos. Un registro de corrimiento básico es un conjunto de *flip-flops* conectados de tal forma que los números binarios almacenados en él son desplazados de un *flip-flop* al siguiente con cada pulso de reloj aplicado.

Son especificados por:

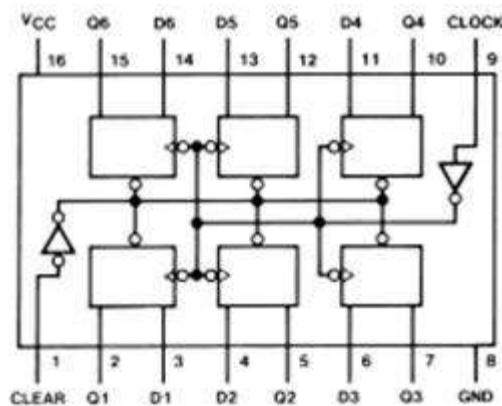
1. Número de bits
2. Modo de operación: PIPO: Entrada paralela – salida paralela, PISO: Entrada paralela – salida serial
SIPO: Entrada serial – salida paralela, SISO: Entrada serial – salida serial, UNIVERSAL: Cualquier configuración

Generalmente son disparados por el flanco positivo del reloj.

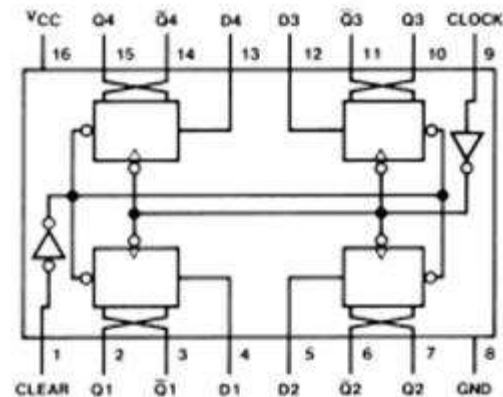
El 74174 es un registro conformado por seis FF tipo D con entradas D1..D6 y seis salidas Q1..Q6 con CLEAR.

El 74175 es un registro conformado por cuatro FF tipo D con entradas D1..D4 y salidas Q1..Q4 y Q1'...Q4' (salidas negadas) con CLEAR.

74174: SEIS FF TIPO D



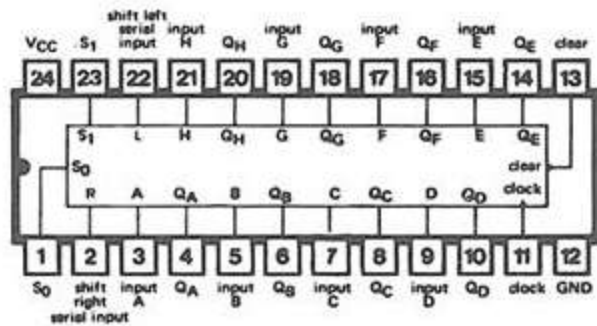
74175: CUATRO FF TIPO D



74198: SHIFT REGISTER DE 8 BITS R/L

Es un registro de corrimiento síncrono de carga paralela, con modos de corrimiento a la derecha o a la izquierda determinado por la selección S_0 y S_1 . Este circuito es útil para la transferencia de datos serial-serial, serial-paralela, paralela-serial y paralela-paralela. La línea MR es el clear.

S_1	S_0	MODO OPERACIÓN
0	0	Reloj inhibido
0	1	Corre a la derecha
1	0	Corre a la izquierda
1	1	Carga paralela



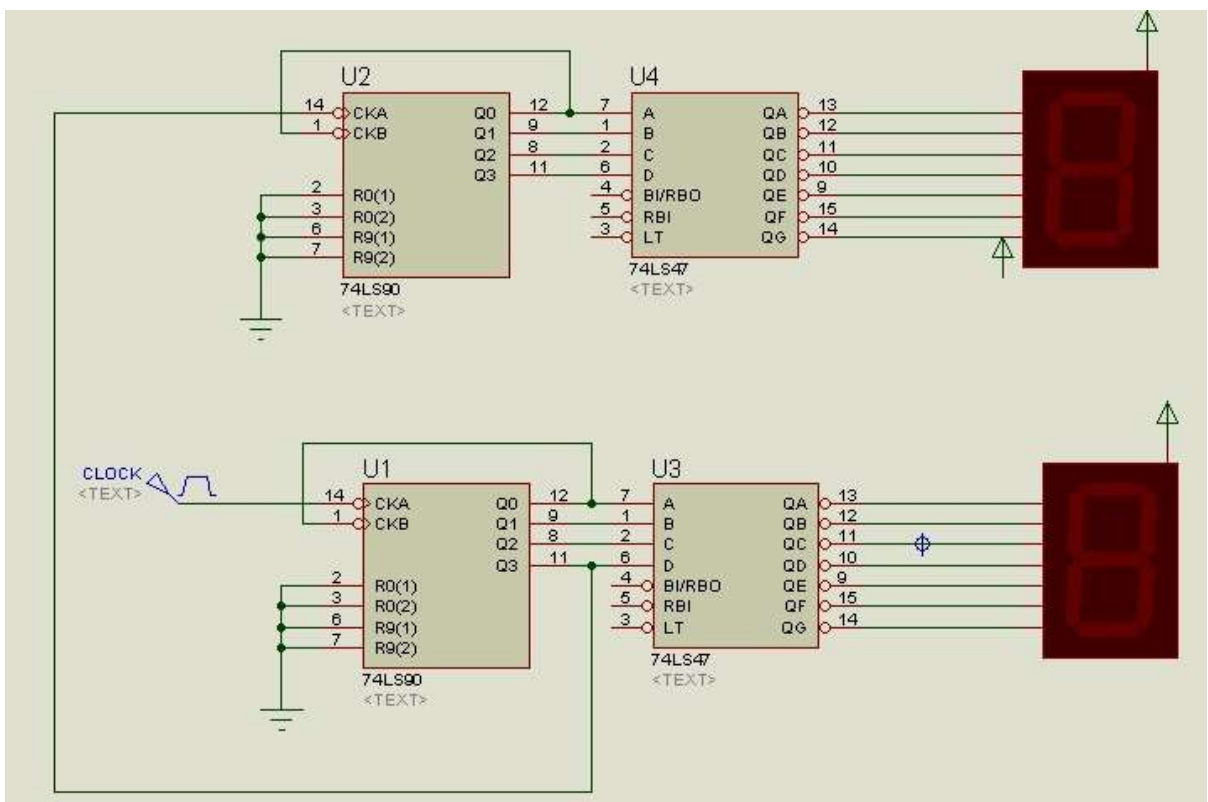
CURSO: ELECTRÓNICA DIGITAL

UNIDAD 3: SISTEMAS SECUENCIALES - SIMULACIÓN

En esta unidad vamos a hacer dos simulaciones en Proteus para consolidar los conceptos teóricos sobre circuitos secuenciales.

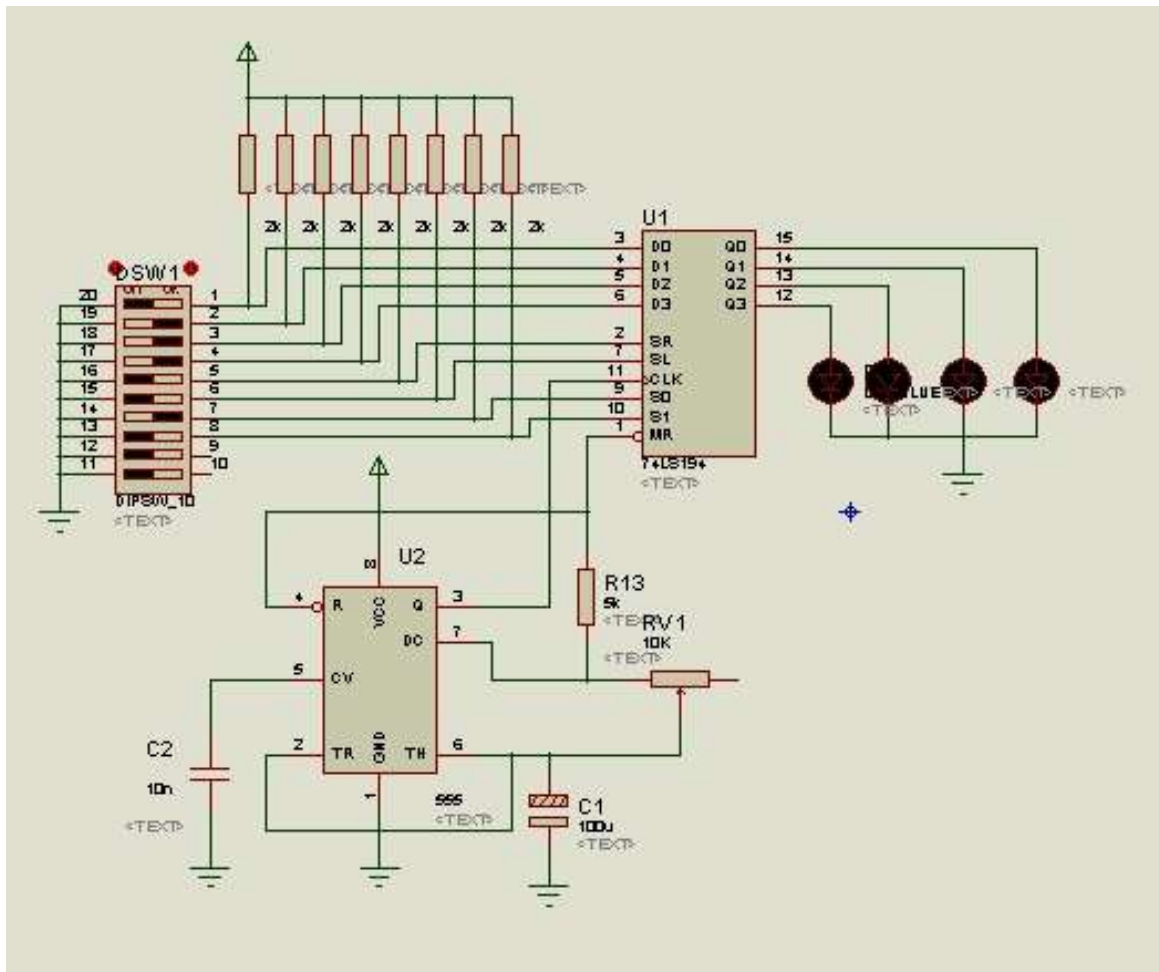
1. CONTADOR DECIMAL DE 0 A 99

Simule el siguiente circuito. Primero simule el circuito de las unidades y luego el circuito completo con las decenas.



2. REGISTRO DE DESPLAZAMIENTO L/R

Simule el circuito de la figura y hágalo funcionar de acuerdo a la Tabla funcional dada. Saque sus propias conclusiones.



CURSO: ELECTRÓNICA DIGITAL

UNIDAD 3: SISTEMAS SECUENCIALES- LABORATORIO

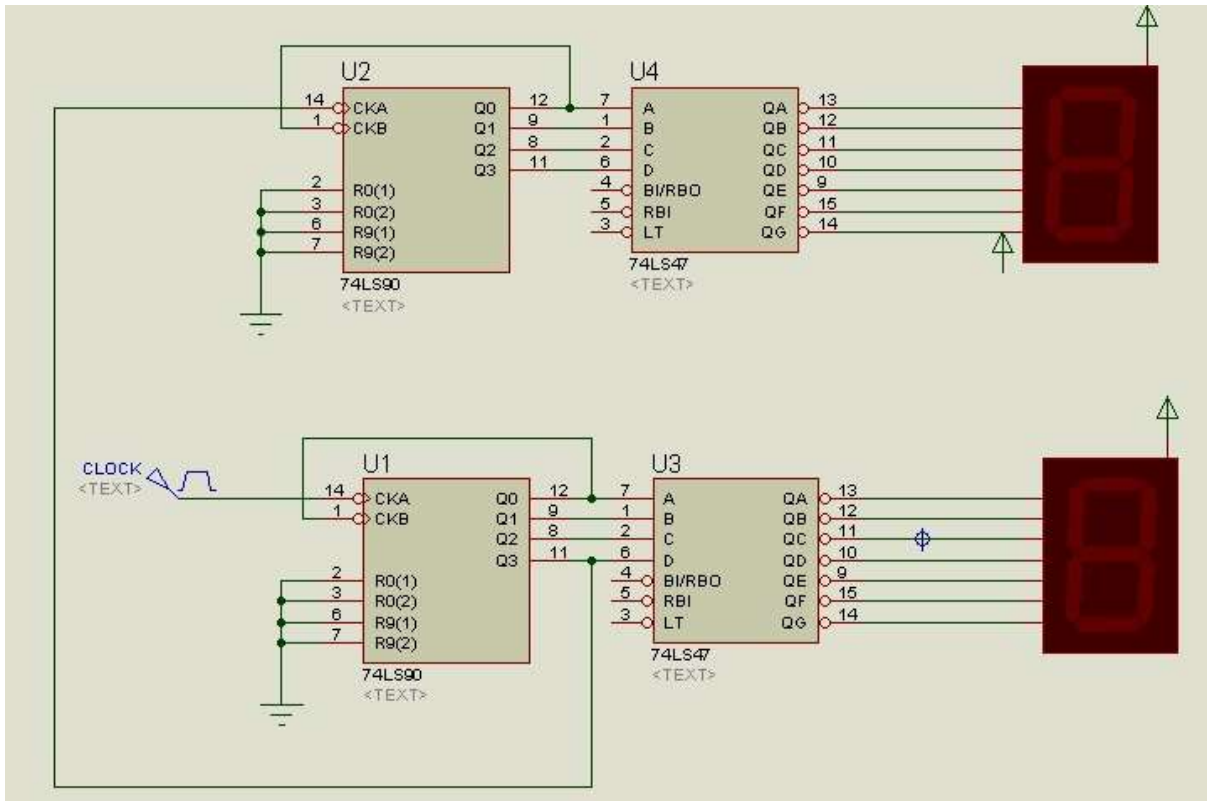
En esta unidad vamos hacer dos implementaciones en Protoboard para consolidar los conceptos teóricos sobre circuitos secuenciales.

EQUIPO Y MATERIAL NECESARIO

- Fuente de 5V
- Protoboard
- Circuitos integrados: 555, 2x74LS90, 2x74LS47, 74LS194
- DIPSWICH de 10 posiciones
- 4 LEDs
- Resistencias a 1/4W de: 10x 2K Ω , 10x330 Ω , 5K, 2.5K
- Capacitores de 10 nF y de 100 uF
- POTde 10K
- 2 display de 7 segmentos ánodo común
- Conectores

1. CONTADOR DECIMAL DE 0 A 99

Implemente el siguiente circuito y póngalo a funcionar con el reloj realizado con el 555 que se presenta en la figura. Compruebe la frecuencia de oscilación del reloj mediante las fórmulas obtenidas en unidades anteriores. Primero implemente el circuito de las unidades y luego el circuito completo con las decenas. Varíe la frecuencia del reloj.



RELOJ A IMPLEMENTAR

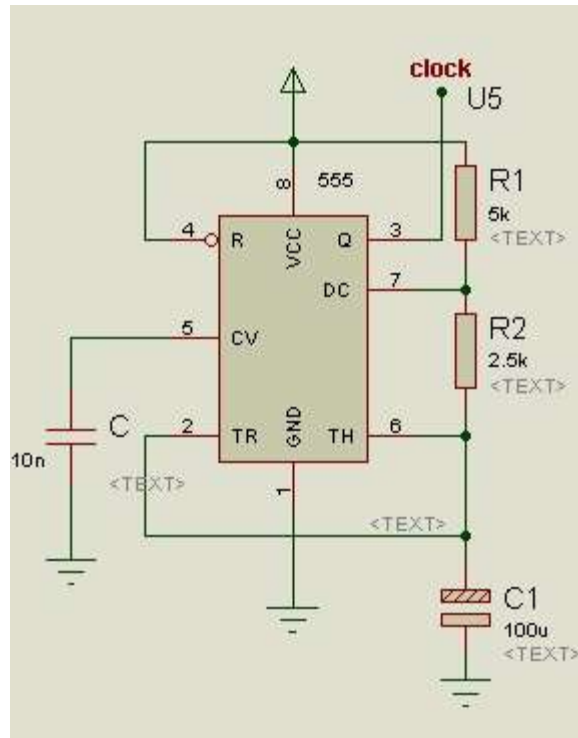
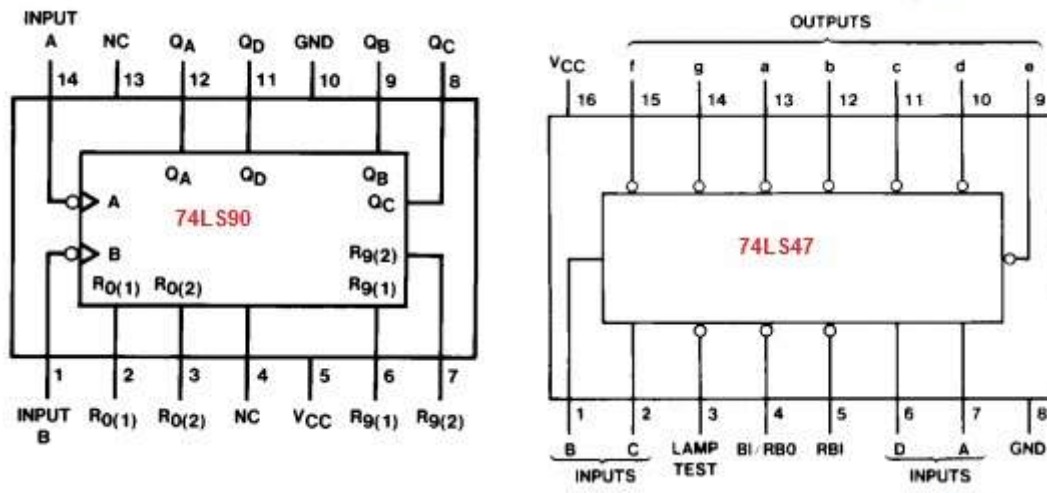


DIAGRAMA DE LOS CIRCUITOS INTEGRADOS



2. REGISTRO DE DESPLAZAMIENTO L/R

Implemente el circuito de la figura y hágalo funcionar de acuerdo a la Tabla funcional dada. saque sus propias conclusiones.

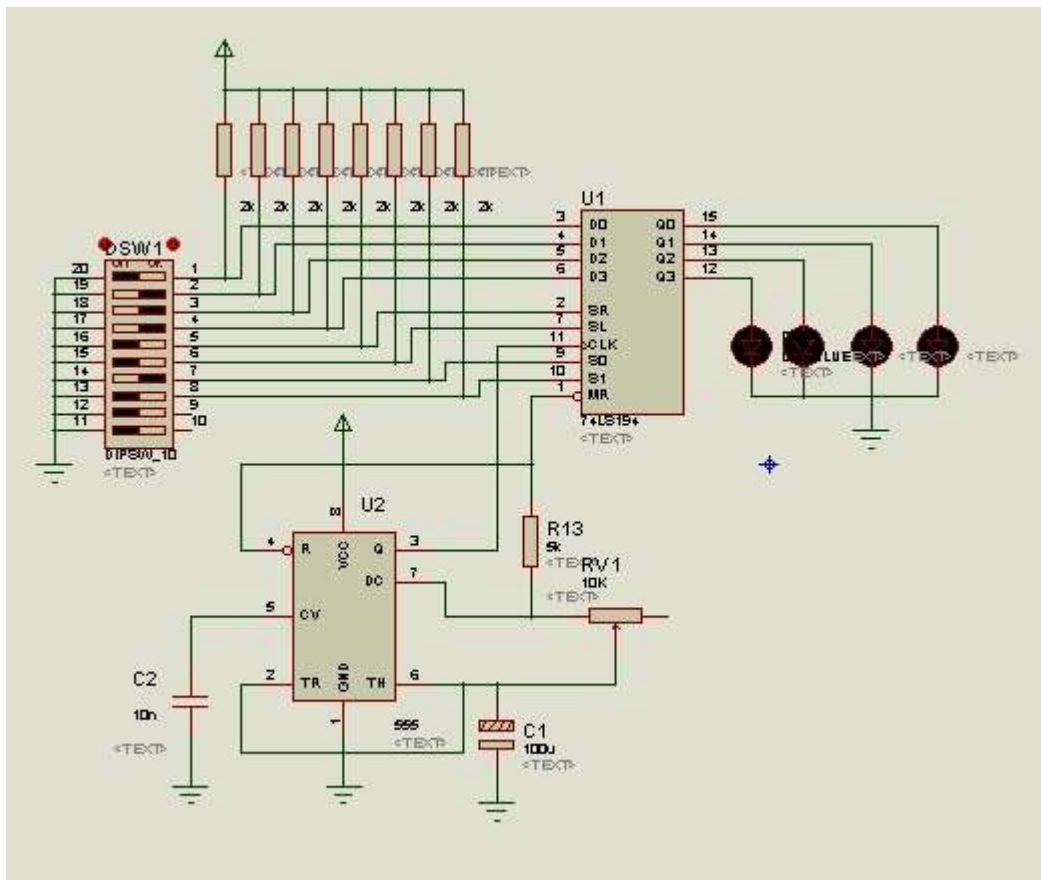
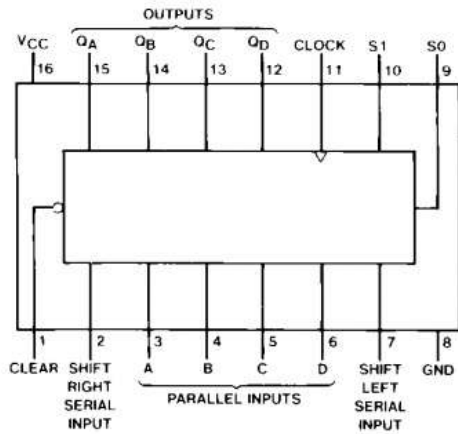


DIAGRAMA DE PINES Y TABLA FUNCIONAL



Clear	Inputs				Outputs								
	Mode		Clock	Serial		Parallel		QA	QB	QC	QD		
	S1	S0		Left	Right	A	B					C	D
L	X	X	X	X	X	X	X	X	L	L	L	L	
H	X	X	L	X	X	X	X	X	QA0	QB0	QC0	QD0	
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H	↑	X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L	↑	H	X	X	X	X	X	QEn	QCn	QDn	H
H	H	L	↑	L	X	X	X	X	X	QEn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0